

# 基于 FPGA 的高精度宽频测量校准仪研制

邱建斌<sup>1</sup>, 陈月卿<sup>1</sup>, 范桂有<sup>1</sup>, 陈建洪<sup>2</sup>, 卓颖<sup>1</sup>

(1. 国网福建省电力有限公司 超高压分公司, 福建 福州 350013;

2. 国网福建省电力有限公司, 福建 福州 350003)

**摘要:**针对新型电力系统中日益增多的宽频测量装置的校准问题, 研制一款基于现场可编程逻辑门阵列(FPGA)的高精度宽频测量装置校准仪, 以生成高精度的宽频标准信号。该校准仪主要由信号控制、信号放大、信号反馈等模块组成。其中信号控制模块以 FPGA 为核心芯片, 设计直接数字频率合成和快速傅立叶变换等逻辑电路, 便于产生宽频信号; 同时, 利用闭环校正原理设计信号反馈模块, 可进一步提高信号准确性。最后, 搭建校准仪实验平台并进行测试。测试结果表明, 该校准仪引入信号反馈模块能够产生更加准确的宽频信号, 满足实际工程需要。

**关键词:**宽频测量装置校准仪; 现场可编程逻辑门阵列; 直接数字频率合成; 快速傅立叶变换; 信号反馈

中图分类号: TP23

文章编号: 1000-0682(2025)01-0052-08

文献标识码: A

DOI: 10.19950/j.cnki.CN61-1121/TH.2025.01.010

## Design of high-precision calibrator for wide frequency measurement based on FPGA

QIU Jianbin<sup>1</sup>, CHEN Yueqing<sup>1</sup>, FAN Guiyou<sup>1</sup>, CHEN Jianhong<sup>2</sup>, ZHUO Ying<sup>1</sup>

(1. Ultra-High Voltage Branch of State Grid Fujian Electric Power Co., Ltd., Fujian Fuzhou 350013, China;

2. State Grid Fujian Electric Power Co., Ltd., Fujian Fuzhou 350003, China)

**Abstract:** Aiming at the incremental calibration demands for wide frequency measurement devices in new power systems, a calibrator with field programmable gate array (FPGA) is developed to generate wide frequency signals of a high precision. The calibrator mainly consists of signal control module, signal amplification module, and signal feedback module. The signal control module is developed with FPGA as key chip for logic circuits of the direct digital synthesizer and fast Fourier transform to easy produce wide frequency signals. Moreover, the feedback technique is used to design the signal feedback module to improve the accuracy of wide frequency signals. Finally, an experimental platform is built to verify the performance of the calibrator. The test data indicates that the calibrator can generate wide frequency signals with a higher accuracy by introduced the signal feedback module, and can meet the demands of the practical engineering.

**Keywords:** wide frequency measurement calibrator; field programmable gate array; direct digital frequency synthesis; fast Fourier transform; signal feedback

## 0 引言

随着各类新能源和储能接入电网<sup>[1-3]</sup>, 使得电力电子设备被广泛应用于发电侧、输电侧、配电侧、用电侧等电力系统中, 整个电力系统正朝着“高比例电力电子化”的趋势不断发展。电力电子设备本身的非线性、高频性等给电网注入大量的谐波、间谐波等宽频信号<sup>[4]</sup>, 导致电网电能质量严重恶化, 也

收稿日期: 2024-05-22

基金项目: 国网福建省电力有限公司科技项目(52130A230007  
变电站宽频测量自动校验关键技术研究与应用)

第一作者: 邱建斌(1980—), 男, 硕士研究生, 高级工程师, 从事电力系统及其自动化技术研究。E-mail: qiu Jianbin@fj.sgcc.com.cn

降低了电网稳定性与可靠性<sup>[5]</sup>。宽频测量装置被逐步应用于新型电力系统中<sup>[6]</sup>,为了保障测量准确性,在入网前后均需要对宽频测量装置进行校准检验。因此,宽频测量装置校准仪(简称:校准仪)成为新型电力系统的必备设施<sup>[7]</sup>。

校准仪产生标准信号给宽频测量装置,与宽频测量装置测量的谐波信号特征进行对比,来评判宽频测量装置的性能。产生高精度宽频信号成为校准仪的目的<sup>[8]</sup>,宽频信号的频率 0 ~ 2.5 kHz,电压幅值 < 100 V,电流 < 10 A。文献[9]直接采用 Omicron 256plus 作为信号源,为宽频测量装置提供带有时间标签的高精度测试信号;文献[10]基于三 Advanced RISC Machine(ARM)的架构,采用查表法和公式法相结合的方式,研制标准信号源;文献[11]采用 Digital Signal Processor(DSP)芯片,结合直接数字频率合成(Direct Digital Synthesizer, DDS)技术,设计交流信号源。商用的信号源精度高,但是售价昂贵,而仅仅依靠 ARM 处理器或者 DSP 芯片研制的信号源电路设计较为冗余,信号转换速度、精度和同步性会受限制,较难生成高精度宽频信号。同时,这类校准仪没有设计信号反馈校准环节,难以提高信号的准确性<sup>[12]</sup>。增加信号反馈校准环节就更依赖于信号处理速度,需要高速硬件并行处理器。现场可编程逻辑门阵列(Field Programmable Gate Array, FPGA)具备高速数据并行处理能力、丰富的高精度时钟资源等特点,能够更有力地保证信号的同步性和准确性<sup>[13]</sup>。

针对宽频测量装置的高精度校准需求问题,研制一款基于 FPGA 的校准仪。该校准仪主要由信号控制、信号放大和信号反馈等模块构成,其中, FPGA 芯片作为信号控制模块的核心器件,用硬件描述语言设计 DDS 控制逻辑电路,以产生宽频信号;结合信号反馈校正技术,设计了基于 FPGA 的快速傅里叶变换(Fast Fourier Transform, FFT)谐波检测逻辑电路,以提高校准信号精度。该校准仪可以与上位机进行通信,根据实际校准需求输出幅值、频率、相位可调的三相电压、电流宽频信号,能够叠加任意阶次和含量的谐波或者间谐波,很好地满足电网宽频测量装置的校准需求。

## 1 基于 FPGA 的校准仪硬件设计

图 1 为校准仪整体结构图,由三大模块组成:(1)信号控制模块,有 FPGA、DSP、以太网控制器、北斗授时电路等。DSP 和以太网控制器用于与上位机

通信传输数据;以 FPGA 为核心控制芯片,主要连接北斗授时电路、数字模拟转换电路(Digital to Analog Converter, DAC)、模拟数字转换(Analog to Digital Converter, ADC)电路等,需要 FPGA 芯片 IO 引脚约 90 个,主频 50 MHz 左右。需要利用硬件描述语言开发基于 FPGA 的信号测量与校正、ADC 驱动、授时对准、DAC 驱动、DDS 控制、通讯控制等逻辑电路,需要 FPGA 芯片逻辑单元数量约 1 万个,内存约 200 kbit。(2)信号放大模块,包括 DAC、低通滤波电路和功率放大电路,将宽频数字信号转换成模拟信号,并实现功率放大。(3)信号反馈模块,主要由信号取样、低通滤波、ADC 等电路组成,是对输出宽频标准信号进行闭环校正,以提高输出宽频信号的准确性。

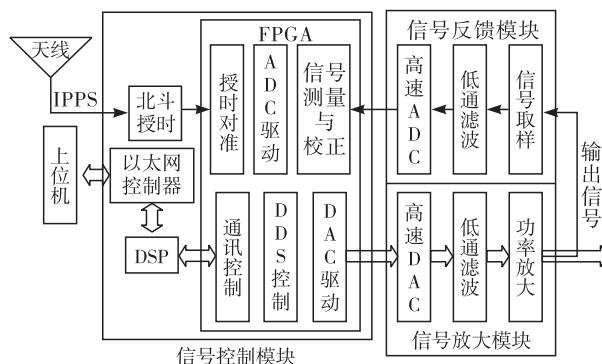


图 1 校准仪整体结构框图

### 1.1 信号控制模块

信号控制模块是校准仪的核心电路,承担起上位机和信号放大模块、信号反馈模块之间桥梁作用。在满足硬件需求和成本的指标下,对信号控制模块的 FPGA、DSP 芯片进行优化选型。

FPGA 采用 Altera 公司的 Cyclone IV E 系列芯片,型号为 EP4CE22F17C8,最大工作频率为 200 MHz。I/O 接口数量最多可达 153 个,能够实现 DAC、ADC 的并行数据传输及与 DSP 之间的 32 bit 总线通信;具备 20 个全局时钟网络和 4 个 PPL(Phase Locked Loop, PPL),可以为 DAC、ADC 提供精准时钟控制,确保数据同步传输;配备内存 608 kbit 和 2 万个逻辑单元。该 FPGA 的片上资源,如 IO 数量、内存大小、逻辑门单元、主频等指标满足校准仪的设计需求,并且具有一定余量。

DSP 采用 TI 公司型号为 TMS32F28335 芯片。该芯片的最大工作频率为 150 MHz,能够实现与所选的 FPGA 通过以 100 M 时钟频率运行的 32 bit 总线进行高速通信。同时,该芯片支持 Controller Area Network(CAN)、Universal Serial Bus(USB)、Serial Peripheral Interface(SPI)等多种通信方式,有利于通

过以太网快速获取上位机实时产生的数据波形。

## 1.2 信号放大模块

信号放大模块由 DAC、低通滤波和功率放大等电路构成。

### 1.2.1 DAC 电路

综合考虑 DAC 芯片的分辨率、杂散噪声、转换速度等因素<sup>[11-12]</sup>, 数模转换芯片选择 TI 公司的 DAC8820。该芯片是一款 16 bit 并行 DAC, 满足对 16 bit 分辨率的要求, 芯片内部采用 R-2R 梯形电阻网络结构以提高数模转换速度, 建立时间为 1  $\mu$ s, 带宽为 8 MHz, 满足宽频测试信号动态响应速度。图 2 为 DAC 电路设计图。

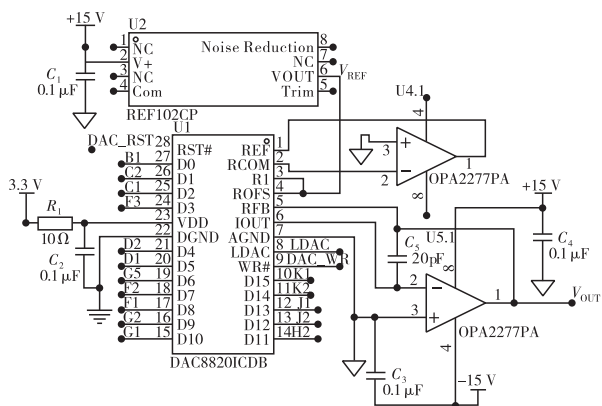


图 2 DAC 电路设计图

在图 2 中, 由数模转换芯片 DAC8820、电压基准芯片 REF102 和运算放大器 OPA227 构成。DAC8820 没有提供内部基准电压, 需要外接外部基准电压, 采用 TI 公司的 REF102 电压基准芯片为 DAC8820 提供 10 V 的参考电压。同时, DAC8820 为电流输出型芯片, 需要通过 OPA227 运放将电流信号转换为电压信号, 两片 OPA227 运放与 DAC8820 组成双极性电压输出电路, 整个 DAC 电路输出范围可达到  $\pm 10$  V。D0 ~ D15 为 DAC8820 的并行数据输入位, 与 FPGA 的 16 个 IO 引脚连接; LDAC 为开启数模转换控制引脚, 连接 FPGA 中的 PPL 引脚。

### 1.2.2 低通滤波电路

DAC 电路的输出为阶梯状波形, 可能包含大量杂散频率和高次谐波。为了达到校准测试需求, 需设计滤波电路对其进行改善。滤波电路的阶数越高, 效果自然也越好, 但是输出信号会产生比较严重幅度衰减和相位偏移。为了保证校准仪输出的标准信号具有较高的精度, 选择了幅度衰减和相位偏移最小的一阶电阻电容低通滤波电路, 其截止频率  $f_c$  为:

$$f_c = \frac{1}{2\pi R_2 C_2} \quad (1)$$

式中,  $R_2$  和  $C_2$  分别为滤波电阻和电容。标准信号的基频范围为 45 ~ 55 Hz, 且能够叠加 50 次谐波, 最高频率  $f_m$  为 2.75 kHz, 将低通滤波电路的截止频率设置为  $f_c \approx 3$  kHz, 则选择  $R_2 = 5.1$  k $\Omega$  和  $C_2 = 10$  nF。

### 1.2.3 功率放大电路

为了输出标准的宽频测试信号, 经过低通滤波电路的模拟小信号, 需要再经过功率放大电路进行功率放大处理。选用带宽高达 400 MHz 的高压功率运算放大芯片 PA85 作为放大电路的核心以实现信号高速转换的目标。考虑信号源的安全裕度, 假设 DAC 芯片的最大输出值为满量程的 80%, 由此可以计算出 DAC 电路的输出信号的有效值最大约为 5.7 V。标准的宽频测试信号为 100 V。设计功率放大电路的放大倍数定约为 20 倍。图 3 为功率放大电路,  $R_5$  和  $R_4$  阻值之比确定放大倍数。

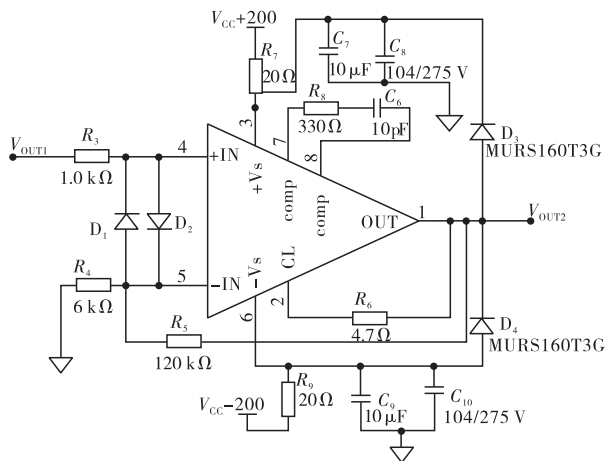


图 3 功率放大电路

## 1.3 信号反馈模块

信号反馈模块是对输出宽频测试信号进行闭环校正的关键, 也是提高信号准确性的技术保障, 主要由信号取样、信号调理和 ADC 等电路组成。

### 1.3.1 信号取样电路

采用电压互感器对输出信号取样, 避免大功率信号对 ADC 电路的直连, 提高取样电路的安全性。图 4 为信号取样电路, 主要由电压互感器 ZMPT101B 和运算放大器 MAX44246 组成。当对宽频测试信号进行取样时, 经过  $R_{10}$ 、 $R_{11}$  两电阻进行限流后电压互感器一次侧电流变为 2 mA, 同时二次侧按比例感应出 2 mA 电流。2 mA 电流流经运放反相输入端和放大电阻  $R_{13}$ , 对外输出的电压值最大为 7.07 V, 达到 ADC 芯片的检测范围。





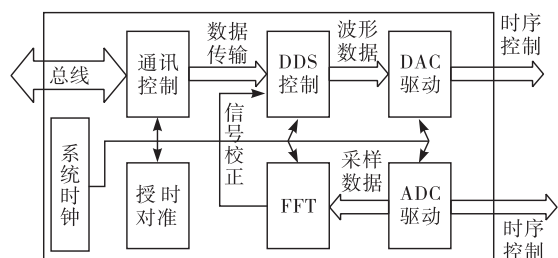


图 7 FPGA 逻辑设计总体结构

系统时钟模块由外接的 50 MHz 晶振驱动,由 FPGA 内部的 PPL 实现时钟倍频,为其他模块提供时钟信号;通讯控制模块实现与 TMS32F28335 之间的数据传输功能,模块内部的数据存储器用来接收标准信号的波形数据,寄存器用来存储频率控制字、相位控制字,并将其作为模块的输出,便于 DDS 控制模块调用;DDS 控制模块基于 DDS 原理,根据通讯控制模块接收到的指令输出标准信号的波形数据,作为 DAC 驱动的输入;DAC 驱动模块、ADC 驱动模块分别用于产生 DAC8820、ADS8568 的控制时序,完成标准信号的数模转换、采样任务;授时校准模块为 DAC 驱动提供 1PPS,保证校准仪准点输出标准信号;信号测量与校正模块通过 FFT 计算标准信号的相量信息,根据误差大小对其进行闭环校正。其中,DDS 控制模块、FFT 模块是保证校准仪具有高精度特性的两个关键模块。

## 2.1 DDS 基本原理

DDS 是一种基于时域抽样原理,根据待生成信号的相位序列输出对应幅值序列的一种连续信号生成技术。图 8 为 DDS 结构框图,一般由相位累加器、查找表、DAC 和低通滤波器 (Low Pass Filter, LPF) 组成,其中相位累加器又由加法器和寄存器构成<sup>[13]</sup>。 $f_{\text{clk}}$  为系统时钟脉冲频率, $N$  为相位累加器的二进制位数, $M$  为查找表的地址线位数, $L$  为 DAC 芯片的位数, $K$  为频率控制字, $P$  为相位控制字。

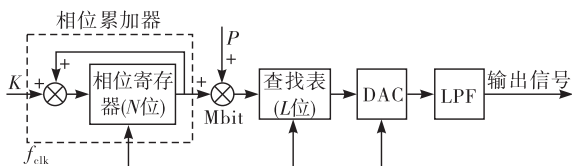


图 8 DDS 结构

## 2.2 DDS 控制模块逻辑电路设计

### 2.2.1 相位累加器设计

相位累加器是 DDS 控制模块的核心,决定着输出信号的频率和频率分辨率。系统时钟频率  $f_{\text{clk}}$  为 50 MHz,为了达到 0.05% 的校准精度,相位累加器的位数  $N$  应该至少设置为 37。设计 37 bit 二进制

相位累加器,其中包含了加法器和寄存器,同时,考虑到 FPGA 有限的存储资源,取寄存器的高 12 bit 作为查找表的寻址地址。利用硬件描述语言设计 37 bit 相位累加器的关键代码为:

```
module pha_accr
(
    input Clk,
    input Reset,
    input [36:0] Fre_Wod,
    output [11:0] Phase_Add
);
    Reg[36:0] Pha = 0;
    always@ (posedge Clk or negedge Reset)
    if (! reset)
    begin
        Pha <= 37'b0;
    end
    else
    begin
        Pha <= Pha + Fre_Wod;
        Phase_Add = Pha[36:21];
    end
endmodule
```

其中,Clk 为系统时钟,Reset 为复位信号,Fre\_Wod 为 37 bit 频率控制字,Phase\_Add 为相位累加器的高 12 bit 地址值。

### 2.2.2 查找表设计

DDS 本质就是通过改变查找表的寻址地址从而达到控制输出信号的频率和相位。查找表也是 DDS 控制模块的重要基础。为了满足 0.05% 的校准精度,将查找表的数据宽度设置为 16 bit,用以存放量化后的波形数据,那么结合相位累加器的寻址位数,查找表占用的存储资源为  $2^{12} \times 16 = 65\,536$  bit,可以直接使用所选的 FPGA 片内的嵌入式 RAM 实现,无需添加外部存储设备。利用 RAM IP 核配置查找表,硬件描述语言设计查找表模块部分代码为:

```
module loktab
(
    Input Clk,
    input [11:0] Address,
    input [15:0] Data,
    input Wren,
    output [15:0] DAC_data
)
endmodule
```

其中, Clk 为系统时钟, Address 为相位累加器传送过来的 12 bit 寻址地址, Data 为量化的 16 bit 幅值数据, Wren 是写查找表信号, DAC\_data 是输出给 DAC 芯片的幅值数据。同时, 事先由上位机根据校准需要生成校准信号的离散量化波形数据, 并存入 .mif 文件, 通过 .mif 文件来初始化 RAM IP 核, 以达到更好地模拟实际电力信号的目的。

### 2.3 FFT 的逻辑电路设计

该校准仪能输出包含至多 50 次谐波的测试信号, 考虑宽频信号检测、算法复杂度、FPGA 实现难易性等因素, 采用 FFT 实现谐波检测。由于 FFT 算法需要对  $N$  点序列  $x[k]$  完成  $N^2$  次复数乘法和  $N(N-1)$  复数加法, 当采样点数  $N$  点数越大, 所需要的计算次数就会呈现指数增长, 增大 FPGA 计算时间。为了减小 FPGA 计算时间, 采用 FFT 快速算法中的基 2 时间抽取 FFT 算法<sup>[15]</sup>, 减少计算复杂度。

#### 2.3.1 基 2 时间抽取 FFT 逻辑电路设计

取样信号频率的最高频率  $f_m = 2.75$  kHz, 由采样定理可知采样频率  $f_s \geq 5.5$  kHz, 考虑到闭环校正的精度以及所选 FPGA 的剩余资源, 设置采样频率  $f_s$  为 6 kHz, 设置采样点数为 512。图 9 为 FFT 逻辑设计框图, 由 FIFO 存储器、有限状态机 (Finite State Machine, FSM)、FFT 算法模块和峰值提取模块组成。FIFO 为深度为 512、宽度为 16 bit 的数据缓存器, 用来缓存取样数据; FSM 负责控制 FFT 算法模块从 FIFO 读取数据以及不断进行 FFT; 峰值提取模块用于计算 FFT 算法模块输出的结果的幅值, 求幅值最大处的频率以及相位。

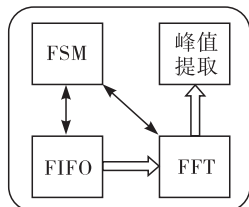


图 9 FFT 逻辑设计框图

#### 2.3.2 FFT 算法模块设计

利用 Quartus II 上专门的 FFT IP 核配置 FFT 算法模块, 在 MegaWizard Plug-In Manager 上选择 FFT 的关键参数, 设置 FFT 的长度为 512 点, 输入数据、输出数据和旋转因子的宽度均为 16 bit, 选择输出文件类型为 Verilog HDL。

图 10 为 FFT 算法模块结构示意图。clk 接系统时钟模块产生的 50 MHz 时钟; inverse 为低电平时进行 FFT 运算, 为高电平时进行 IFFT (Inverse FFT,

快速傅里叶逆变换); sink\_real、sink\_imag 分别是输入数据的实部和虚部; source\_real 和 source\_imag 是经过 FFT 后所得复数的实部和虚部。其中, sink\_sop、sink\_eop、sink\_valid 可作为 FFT 算法模块的控制信号, 由 FSM 生成。source\_valid 在模块输出结果期间为高电平, 并且 source\_sop、source\_eop 会产生一个高脉冲信号, 分别代表正在输出第一个数据和输出最后一个数据。

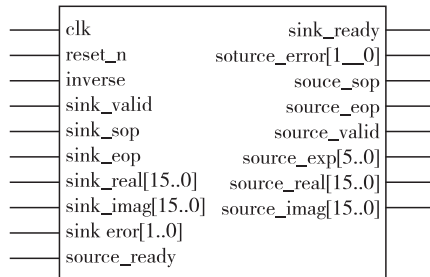


图 10 FFT 算法模块结构示意图

#### 2.3.3 FSM 逻辑设计

FSM 负责控制 FFT 算法模块的四个运行状态 idle、run、end 和 wait 切换, 由硬件描述语言完成的部分代码为:

```
constant frame : integer := 512;
type state is (idle, run, end, wait);
signal current_state, next_state : state;
signal sink_sop_c, sink_eop_c, sink_valid_c :
std_logic;

Process (clk, rst) is
...
sink_sop <= sink_sop_c;
sink_eop <= sink_eop_c;
sink_valid <= sink_valid_c;
end if;
end process;
```

### 3 校准仪实物测试

在实验室搭建校准仪实物测试平台如图 11。

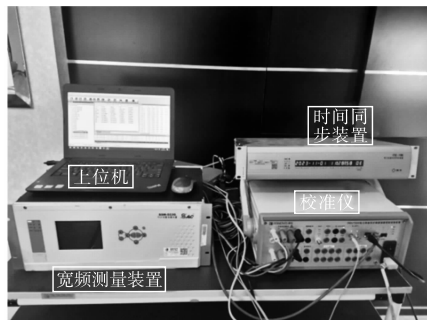


图 11 校准仪实物测试平台

该平台由校准仪、上位机、时间同步装置、宽频测量装置组成,其中宽频测量装置的测量精度为六位半(0.02%)。在上位机中利用 Matlab 生成所需的测试信号,采集该信号一整个周期  $2^{12}$  个波形点,按照 16 bit 二进制对其量化得到测试信号的幅值数据,将这些幅值数据以 .mif 文件的形式存入 FPGA 中的查找表中。FPGA 在所设计的 DDS 控制模块的驱动下向宽频测量装置发送测试信号。同时,上位机接收到宽频测量装置的测量数据,并保存在上位机进行数据分析。

### 3.1 校准仪信号准确性分析

为了分析反馈校正模块对提高校准仪输出信号准确性的作用,分别对加载信号反馈模块和不加载信号反馈模块两种情况进行测量与分析。当校准仪输出三相交流电流信号,基频为 50 Hz,幅值为 1.0 A,包含 3 次谐波电流,谐波含量为基波的 10%。图 12 为带信号反馈模块的校准仪所产生的三相交流信号,表 1 为 3 次谐波电流的测量数据对比分析

表 1 3 次谐波测量数据对比分析

	项目	设置值	带反馈测量值	带反馈误差	无反馈测量值	无反馈误差	精度要求
A 相	幅值/A	0.100 00	0.099 989	-0.011%	0.100 104	0.104%	0.05%
	相位/°	0.000 0	0.031 4	0.031 4	2.458 0	2.458 0	0.05
	频率/Hz	150.000 0	149.932 5	-0.045%	150.229 5	0.153%	0.05%
B 相	幅值/A	0.100 00	0.099 970	-0.030%	0.099 825	-0.175%	0.05%
	相位/°	-120.000 0	-120.041 7	-0.041 7	-121.060 3	-1.060 3	0.05
	频率/Hz	150.000 0	149.932 5	-0.045%	150.229 5	0.153%	0.05%
C 相	幅值/A	0.100 00	0.100 025	0.025%	1.001 260	0.126%	0.05%
	相位/°	120.000 0	119.950 7	-0.049 3	119.811 2	-0.188 8	0.05
	频率/Hz	150.000 0	149.932 5	-0.045%	150.229 5	0.153%	0.05%

### 3.2 校准仪信号频谱纯度分析

当校准仪输出三相交流电流信号,频率为 50 Hz,幅值为 1.0 A 时,校准仪在带信号反馈模块和无信号反馈模块条件下,由 FFT 分析 A 相电流谱,如图 13 所示,带信号反馈模块的校准仪所生成的信号在 50 Hz 以外的频率区功率更小。

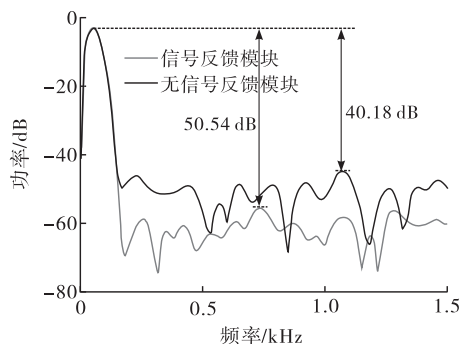


图 13 A 相电流频谱

比分析。

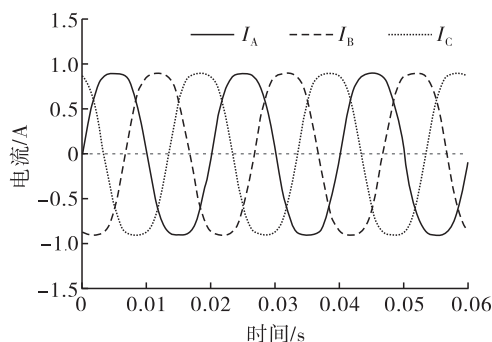


图 12 校准仪生成的三相交流信号

从表 1 可见,在不带信号反馈模块时,校准仪输出的三相交流信号中,信号的幅值和频率误差均大于 2 倍精度要求指标,相位误差也远远大于要求的  $0.05^\circ$ ,不满足精度要求指标;而在加入信号反馈模块后,输出信号准确性明显提高,幅值、相位和频率误差大幅度减少。其中,幅值、频率误差略小于  $0.05\%$ ,相位误差小于  $0.05^\circ$ ,也符合校准精度要求。

定义无杂散动态范围 (Spurious-free Dynamic Range, SFDR)、信噪比 (Signal to Noise Ratio, SNR) 衡量 A 相电流的频谱纯度:

$$SFDR = 20 \lg \left( \frac{A_o}{A_{\max}} \right) \quad (3)$$

$$SNR = 10 \lg \frac{P_s}{P_n}$$

其中:  $A_o$  为 FFT 变换后输出频率处的幅值大小;  $A_{\max}$  为杂散信号的最大幅值;  $P_s$  为目标信号功率大小;  $P_n$  噪声信号功率大小。

由图 13 可知,带信号反馈模块的 A 相电流, SFDR 约为 50.54 dB, SNR 为 42.35 dB,而无信号反馈模块时, SFDR 约为 40.18 dB, SNR 为 31.60 dB。从 SFDR 和 SNR 指标对比可见,带信号反馈模块时, SFDR 和 SNR 指标大约均提升 10 dB。信号反馈

模块确实可以改善校准仪输出信号频谱纯度。

## 4 结论

在新型电力系统中,针对宽频测量装置的校准需求问题,研制了一种基于 FPGA 为核心器件的高精度宽频测量装置校准仪。该校准仪由三大模块组成:信号控制模块、信号放大模块和信号反馈模块。为产生高精度标准信号,展开校准仪的系统硬件和 FPGA 关键逻辑电路分析和设计,并通过信号反馈模块实现闭环反馈控制进一步提高校准仪输出准确性。该校准仪已在某宽频测量装置上进行测试,测试结果表明,在引入信号反馈模块的基础上,该校准仪能够产生高准确性的标准信号,能够模拟电网实际运行产生的复杂信号,满足对宽频测量装置的校准精度。

### 参考文献:

- [1] 韩富佳,王晓辉,乔骥,等. 基于人工智能技术的新型电力系统负荷预测研究综述[J]. 中国电机工程学报, 2023, 43(22):8569-8591.
  - [2] 晏坤,甘景福,赵昕,等. 一种新能源公共连接点系统谐波阻抗计算方法[J]. 工业仪表与自动化装置, 2024(01):76-82.
  - [3] 郭志成,郭宁,李晓青. 基于 GPRS 的微电网中蓄电池远程监测系统[J]. 工业仪表与自动化装置, 2021(03):35-38.
  - [4] 樊陈,姚建国,常乃超,等. 面向电力电子化电网的宽频测量技术探讨[J]. 电力系统自动化, 2019, 43(16):1-8.
  - [5] 王志华,郑涛,窦仁辉,等. 电力系统宽频测量技术方案与展望[J]. 电力自动化设备, 2023, 43(11):218-224.
  - [6] 樊陈,姚建国,常乃超,等. 面向电力电子化电网的宽频测量技术探讨[J]. 电力系统自动化, 2019, 43(16):1-8+57.
  - [7] 林杰. 宽频测量装置测试校准方法研究[D]. 北京:华北电力大学(北京), 2022.
  - [8] XU S, LIU H, BI T. Field PMU Test and Calibration Method - Part I: General Framework and Algorithms for PMU Calibrator[J]. Journal of Modern Power Systems and Clean Energy, 2022, 10(06):1507-1518.
  - [9] 朴哲锬. PMU 现场测试校准技术研究[D]. 北京:华北电力大学(北京), 2022.
  - [10] 邵航俊. 电力系统宽频测量装置校准信号源的研制[D]. 南昌:南昌航空大学, 2021.
  - [11] 舒慧. 基于 OMAPL38 的振动时效激振器电源设计[D]. 湘潭:湖南科技大学, 2020.
  - [12] 沈辉,薛兵,唐朝阳,等. 基于 DDS 技术的信号发生器设计[J]. 电子测量技术, 2020, 43(20):160-164.
  - [13] O Polikarovskiykh, I Gula, L Karpova. Phase accumulator simulation for advanced digital frequency synthesizers [C]. 2019 3rd International Conference on Advanced Information and Communications Technologies, 2019: 365-368.
- 
- (上接第 12 页)
- [2] 冯建有,戚晓利,童靳于. 三排柱式回转支承非理想 Hertz 接触特性分析[J]. 中国机械工程, 2017, 28(4):398-403.
  - [3] 张远昭,邱俊,毛范海. 考虑修形、游隙的三排滚子轴承承载分析模型[J]. 机械设计与制造工程, 2022, 51(2):5-9.
  - [4] 曹伟. 盾构主轴承损伤模拟试验台的研制[D]. 成都:西南交通大学, 2020.
  - [5] 曹红星,李梦仁,毛旦平. 基于触摸屏与 PLC 的舱段装配测量平台控制系统设计[J]. 工业仪表与自动化装置, 2023(6):26-31+63.
  - [6] 安康康,孟凡军,穆朝絮,等. 基于 EtherCAT 总线的八轴七联动高级海况环境仿真平台[J]. 中国惯性技术学报, 2024, 32(04):417-424.
  - [7] 刘英. 汇川伺服系统在环保塑料热成型机上的应用[J]. 橡塑技术与装备, 2023, 49(9):63-66.
  - [8] 吴超. 基于 PLC 和人机界面的工业机器人控制技术研究[D]. 济南:山东大学, 2023.
  - [9] 乔社娟,高文. 基于 PLC 和触控屏的远程变频调速监控系统设计[J]. 工业仪表与自动化装置, 2024(02):21-24+38.
  - [10] 张米雅,姚建飞. 动态力矩测试系统中 PLC 对交流伺服电机的控制[J]. 制造业自动化, 2010, 32(5):56-58.
  - [11] 王高理. 伺服电机控制技术的应用与发展[J]. 轻工科技, 2019, 35(2):64-65.
  - [12] 丰颖,苗可彬. 基于差压原理的风速风向传感器设计[J]. 电子设计工程, 2022, 30(19):120-124.