

基于双边滤波的高速图像采集系统设计

武新玲,文 丰,张凯华

(中北大学 电子测试技术重点实验室 仪器科学与动态测试教育部重点实验室,山西 太原 030051)

摘要:为解决航天飞行器采集数据过程由于环境因素影响,噪声干扰严重从而影响图片清晰度与数据高速采集的问题,设计了一款基于双边滤波的高速图像采集系统。该系统 FPGA 利用 HTG8518 芯片实现图像数据采集,通过双边滤波算法,降低图像噪点。采用 DDR3 芯片缓存图像数据,通过 RS-422 接口与千兆以太网实现与上位机的交互通信。经实验分析验证,该系统设计可以实现数据的高速传输和准确存储,其采集速率约 1.9 Gbps,读取速率约 650 Mbps,图像信噪比增长约 5 dB,经多次实验测量后无误码现象发生,可推广应用于军事和航空航天领域图像数据采集。

关键词:FPGA;HTG8518;图像采集;双边滤波;实验测试校验

中图分类号:TN98

文章编号:1000-0682(2025)01-0013-05

文献标识码:A

DOI:10.19950/j.cnki.CN61-1121/TH.2025.01.003

The development of a high-speed image acquisition system utilizing bilateral filtering

WU Xinling, WEN Feng, ZHANG Kaihua

(Key Laboratory of Electronic Testing Technology, Science and Dynamic Testing of Education Key Laboratory Instrument,
North University of China, Shanxi Taiyuan 030051, China)

Abstract: A high-speed image acquisition system, based on bilateral filtering, has been developed to address the issue of noise interference during spacecraft data acquisition due to environmental factors. The FPGA in the system utilizes HTG8518 chip for image data acquisition and employs bilateral filtering algorithm to reduce image noise. Image data is cached using DDR3 chip, while interactive communication with the host computer is achieved through RS-422 interface and Gigabit Ethernet. Experimental analysis and verification have demonstrated that the system design enables high-speed transmission and accurate storage of data, with an acquisition rate of approximately 1.9 Gbps, a reading rate of about 650 Mbps, a 5 dB increase in image signal-to-noise ratio, and no error occurrences after multiple experimental measurements. This technology can be applied to military and aerospace image data acquisition.

Keywords: FPGA; HTG8518; image acquisition; bilateral filtering; experimental test check

0 引言

在飞行过程中,航天器需时刻监测外部环境并

采集飞行数据以确保飞行过程安全顺利。因此,航天飞行器系统经常会利用高分辨率、高频帧的图像传感器来获取高清晰图像,例如红外图像和雷达图像,并将大量图像数据在短时间内进行数据处理然后传输存储^[1-5]。然而,图像采集过程常常受到飞行速度、振动以及系统自身产生的测量干扰等干扰信号,使得图像失真或伪影。因此,为了高效和精确地获取图像数据,数据采集降噪处理至关重要。

因此,该文设计了一种基于双边滤波的高速图

收稿日期:2024-06-17

基金项目:陕西省职业技术教育学会 2024 年度职业教育教学改革研究项目(2024SZX070);西安职业技术学院 2023 年度专项项目(2023YJZX05);西安职业技术学院 2022 年度科技项目(2022YB03)。

第一作者:武新玲(1998—),女,山西汾阳人,硕士研究生,研究方向为测试计量技术与仪器、电路与系统。

E-mail: wuxinling_05@163.com

像采集系统,其电路部分主要由 HTG8518 采集模块、两步式降压电路模块和 RS422 传输设计组成,软件部分包括 FPGA 控制数据采集、双边滤波,RS-422 指令通信以及 FIFO 和 DDR3 数据缓存,并通过千兆以太网将数据传输至上位机系统。

1 总体设计

该系统包括 4 个关键模块:图像采集模块、FPGA 逻辑控制模块、图像缓存模块与通信传输模块。图 1 展示了这些模块之间的关联和相互作用。

图像采集模块采用 HTG8518 芯片负责处理上游设备传输而来的图像模拟信号,作图像数据接收和高效化数字处理,通过 Aurora 高速通信协议传输至 FPGA 后采用双边滤波算法,降低图像噪点。同时 FPGA 控制 HTG8518 数据采集流程,并将滤波处理后数据缓存至 FIFO 和 DDR3 中,通过 RS-422 和千兆以太网作指令与数据传输,完成与上位机交互通信,最终在上位机平台实现数据显示与实验测试。

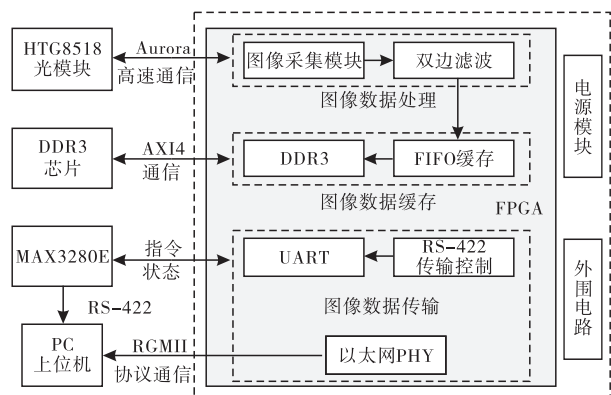


图 1 系统总体设计

2 双边滤波算法

在图像采集传输过程中,由于高振动与高冲击的外部环境影响,会受到各种噪声影响从而降低图像清晰度,影响数据传输速率,因此采用双边滤波算法来降低图像噪点,提高图像清晰度。

2.1 双边滤波原理

双边滤波是一种非线性滤波,采用加权平均的方法,使周边像素亮度值的加权平均代表某个像素强度,从而抑制图像噪声^[6]。

定义原始图像的像素值为 I_p ,经双边滤波算法处理后的图像像素值为 I_b 。设点 q 为中心像素点, S 为所有像素点的集合,则 I_p 与 I_b 关系为:

$$I_b = \frac{1}{W_p} \sum G_{\sigma_s}(\|p - q\|) G_{\sigma_r}(|I_p - I_q|) I_q \quad (1)$$

其中: W_p 是归一化因子,保证滤波前后各个像素点的像素范围相等; $G_{\sigma_s}(\|p - q\|)$ 为空间邻近度因子; $G_{\sigma_r}(|I_p - I_q|)$ 为像素相似度因子。

双边滤波综合考虑空间邻近度因子和像素邻近度因子来确定滤波后图像的像素值,两个高斯域核权值的乘积再和原图做卷积运算得到滤波后的结果,从而达到去噪点的作用^[7]。

2.2 双边滤波算法的 FPGA 实现

用双边滤波的卷积核扫描输入进来图像数据的每一个像素,并带入卷积核计算,将计算结果代替中心像素点的值后按照设定的图像格式进行输出^[7]。该次双滤波算法采用 3×3 窗口大小进行运算,调用两个 FIFO 缓存图像数据,如图 2 所示,图像数据与两级 FIFO 首尾端口相连,依次写满两级 FIFO,形成 3×3 滤波窗口。

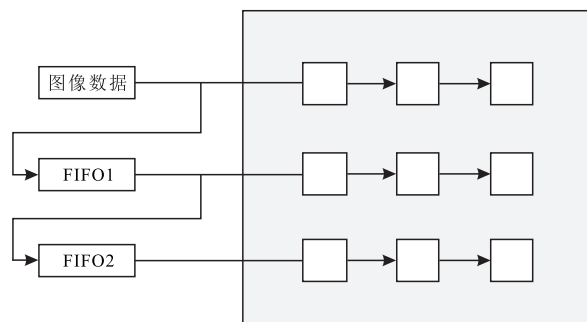


图 2 3×3 窗口示意图

数据传输时,采用并行流水线的方式进行数据处理,通过上述得到的 3×3 窗口的各点像素值,将其与中心像素点的值做差并取绝对值,将所求值输入至临近度因子查找表中,得到权重值,并与高斯核整数模板作积,最终得到双边滤波的分母与分子,结合时钟周期,完成 8 次加法操作得到滤波后的像素值并输出。通过选用 FPGA 并行化处理的特点,有效加快了图像数据处理速度,实现图像数据实时采集传输。

3 硬件设计

3.1 数据采集电路设计

该设计采用中航光电的 HTG8518 作为模数转换及高效数字化处理器件,其灵敏度高,具备强大的抗干扰能力。该器件采用 Aurora 数据通信协议,传输速率为 10.312 5 Gbps,能够有效将光纤图像模拟信号转换为 8 bit 的同步数字信号,为提高数据传输

速率提供可靠支持。

图 3 为 HTG8518 与 FPGA 硬件连接图。HTG8518 采用 3.30 V 单电源供电,使用 DI[1:8]P 与 DI[1:8]N 差分端口输出并行图像数据,降低数据转换噪声干扰,而 FPGA 通过内部编程数据采集模块控制数据流转,接收这些图像数据。同时,HTG8518 还会通过 FIFO 缓存,确保与 FPGA 跨时钟传输同步。FPGA 通过 I²C 接口对 HTG8518 进行参数配置,主要参数为输出编码格式、地址寻址信号、模数转换控制等参数。

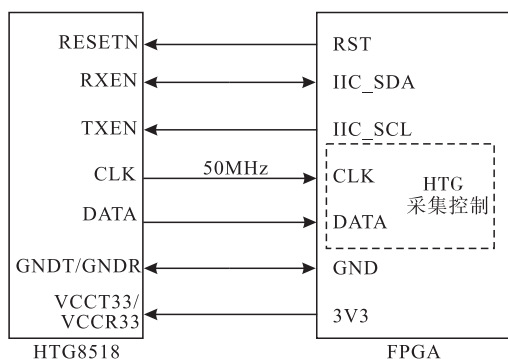


图 3 HTG8518 与 FPGA 硬件连接图

3.2 电源供电设计

该设计为保证电路不会被烧坏,整体采用外部 28 V 供电,两步式实现高低电压转换输出来保护电路^[8]。第一步降压采用 V24C5H50B 实现 28 V 转 5 V 电压,第二步采用 RT6255B 转 3.3 V,以支持 FPGA 与 DDR3 数据传输、缓存与 I²C 接口等功能使用。通过在输出端口增加磁珠电感与电容,用来消除电源线上的尖峰干扰和低频噪声,以保证系统整体电源网络的稳定,其电路设计如图 4 所示。

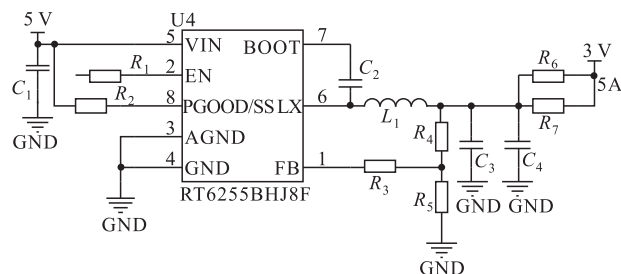


图 4 电源模块电路原理图

3.3 RS-422 通信传输设计

目前,RS-422 采用了差分传输的方式。其传输结构示意图如图 5 所示,即在通信时使用一对相反的信号线进行数据传输。在发送端,发送的信号同时通过两条线路传输,一条线路上的信号为正,另一条线路上的信号为其反相。在接收端,通过比较两条线路上的电压差异来识别信号,这种差分方式

可以提高抗干扰能力。

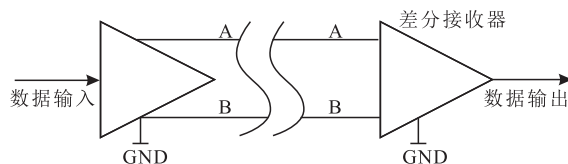


图 5 RS-422 传输方式图

该设计总线传输芯片选用 MAX3280E 实现 RS-422 通信,其数据速率高达 52 Mbps,具有出色的传输延迟及定时失配,可应用于多时钟分配系统^[9]。RS-422 通过对地面测试系统的指令进行采集,使其自检并接收各部件供电指令,将检测信号反馈给地面控制系统,在设定的时钟信号下接收指令通过通信并行总线传输至 PC 端上位机,控制数据流转、擦除、读取以及数据显示。

4 软件设计

软件设计主要流程是采用 FPGA 对 HTG8518 进行数据采集,将采集的数据在 FPGA 内部调用 IP 核,通过 Aurora 通信协议对 HTG8518 寄存器进行配置。采集数据通过光模块接口传输 2 路 4X 图像数据至 FPGA,由 FPGA 对采集的图像数据解析并传输到 DDR3 中进行缓存,最后通过千兆以太网打包发送到上位机显示图像,其数据传输流程图如图 6 所示。

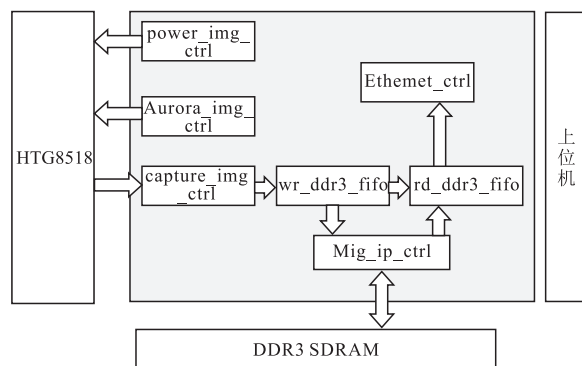


图 6 数据采集流程图

4.1 FPGA 通过 I2C 数据采集设计

该设计中,采用 HTG8518 接收上游设备传输而来的模拟信号,芯片检测出相应信号后自动处理,不需干预。装置上电复位后,开始寄存器配置,配置流程如图 7 所示。FPGA 通过 I²C 首先发送起始信号,然后发送一个 8 bit 的设备地址,此时相应模块收到地址匹配信号后做出应答。之后 FPGA 访问 HTG8518 采集数据的寄存器,发送一个 8 bit 的寄存器地址,将需要配置的信息写入相关寄存器后实现通信。

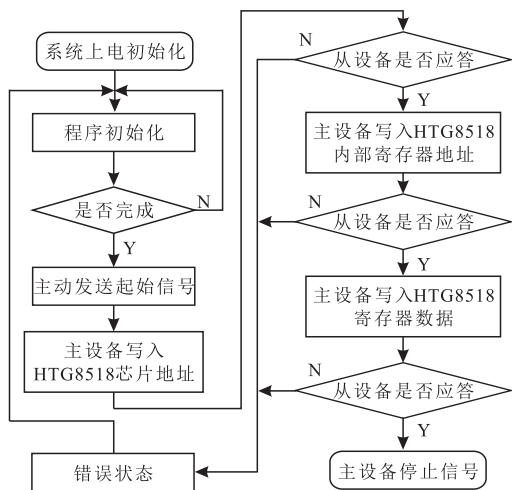


图7 HTG8518 配置流程图

4.2 FIFO 缓存设计

HTG8518 采集时钟为 50 MHz, FPGA 系统时钟为 100 MHz, 使用 FIFO 进行跨时钟域传输^[10-11]。该设计中, 为控制数据读写状态, 对 FIFO 参数配置, 设定 FIFO 写入位宽为 64, 读取位宽为 128, 深度为 128 K, 空满阈值界限分别为 300, 1900。读写操作时, 先系统上电以及 FIFO 复位初始化, 寄存器配置后, 以行为单位进行数据突发读写, 完成一帧图像后拉高结束标志位进入下一扇区中继续读写操作, 直至数据读写完毕, 其工作过程如图 8 所示。

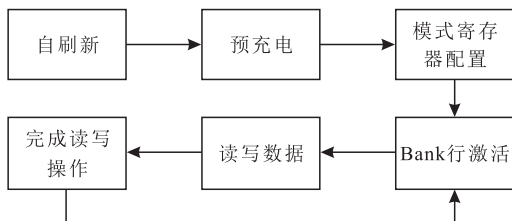


图8 FIFO 工作过程示意图

4.3 DDR3 逻辑设计

DDR3 数据存储模块将 FIFO 缓存而来的数据写入 DDR3, 采用 Xilinx 官方 MIG (Memory Interface Generators) IP 核进行设计, 实现 DDR 读写操作的控制流程, 时钟信号为 125 MHz, 数据位宽为 16 bit^[12-13]。MIG IP 核包括用户端接口、存储控制器、物理层三部分, DDR3 采用差分时钟信号输入, 当用户端口 app_en、app_rdy 和 app_wdf_rdy 信号为高时, 用户接收写数命令并将存入内部 CH0_FIFO_128 和 CH0_FIFO_256 单元, 完成数据写入; 当 app_cmd = 3'b001 且 app_rd_data_valid 信号有效时, DDR3 数据通过接口从 CH6_FIFO_512 单元传输完成数据读出, 其命令时序图如图 9 所示。

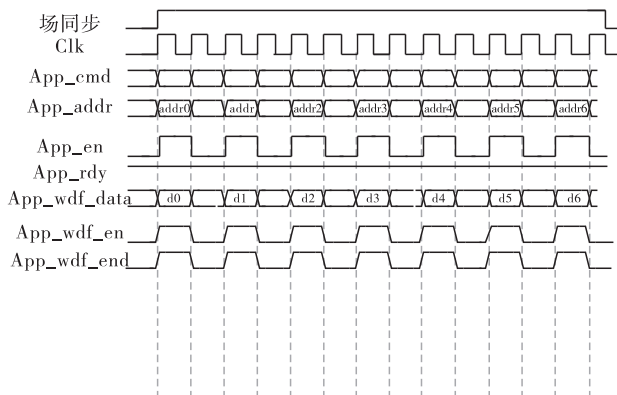


图9 时序逻辑图

4.4 数据传输设计

该系统数据传输通过千兆以太网 IP 核将 MIG IP 核传来的图像数据发送至上位机^[14]。首先, 当 s_axis_tx_tdata 和 s_axis_tx_tkeep 处于同一时钟周期时, s_axis_tx_tready 置高位, 开始接收数据。当 s_axis_tx_tlast 拉高电平时, 表示数据接收完毕。在这个过程中, 数据按照标准以太网帧格式进行编码发送至物理层, 芯片内部通过内部信号进行级联, 每个数据字节添加起始和停止逻辑信号。数据传输时, 对数据添加帧标志、帧计数、帧长度等信息, 确保数据可靠传输和正确接收, 其数据编帧格式如表 1 所示。

表1 编帧数据帧格式

1 ~ 4 byte	5 ~ 8 byte	9 ~ 12 byte	13 ~ 16 byte	17 ~ 2048 byte
5A 54 A1 A1	XXXX	00000000	时间	雷达图像数据
5A 54 A2 A2	XXXX	00000000	时间	红外图像数据

5 实验测试

为了测试本设计的可行性与性能, 搭建测试台进行实验验证。测试台模拟发送图像数在测试台自设计的上位机软件中进行数据解包和实验操作, 从数据传输速度、数据准确率以及图像信噪比 3 方面得到数据结果。

5.1 传输速度测试

数据传输时, 传输速率主要为数据采集速度和数据读取速度两方面。上位机软件模拟图像数据采集, 发送一组从 0 逐序增加的虚拟递增数进行实时图像数据采集。测试时, 依次选择存储容量 5 GB、10 GB、30 GB 和 256 GB 进行数据测量监测, 所有容量均测试 10 次以避免结果误差, 对 10 次测试结果取均值衡量数据集的趋势, 其数据测试结果如表 2 所示。

表 2 数据测试结果

存储容量	采集结果		读取结果	
	传输时间	传输速率	传输时间	传输速率
5 GB	21 s	1.90 Gbps	63 s	650.15 Mbps
10 GB	43 s	1.86 Gbps	127 s	645.03 Mbps
30 GB	127 s	1.88 Gbps	378 s	650.15 Mbps
256 GB	1027 s	1.99 Gbps	3215 s	652.30 Mbps

可得,数据采集传输速率为 1.9 Gbps 左右,数据读取速率为 650 Mbps 左右,故采集模块与上位机读数均实现数据的高速传输处理。

5.2 准确率验证

采用 Hex - Edit 软件对原始数据进行数据重现,结果如图 10 所示。数据包括帧头“5A 54”、帧计数、无效数“00 00 00 00”、读数时间和有效数据。

如图 11 所示,数据解包结果和原始数据对比错误率为 0.00%,即上位机接收的数据与预设递增数据结果一致,表明数据传输存储没有发生丢失和误码现象,预设功能正常实现。

帧头	帧计数	时间	有效数据
00 01 02 03	04 05 06 07	08 09 10 11	12 13 14 15
01000761345	5A 54 A1 A1	00 00 06 ED E2	00 00 00 00
01000763392	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000765440	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000767488	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000769536	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000771584	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000773632	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000775680	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000777728	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000779776	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000781824	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000783872	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000785920	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000787968	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000790016	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000792064	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000794112	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000796160	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000798208	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000800256	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000802304	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00
01000804352	5A 54 A2 A2	00 00 06 ED E3	00 00 00 00
01000806400	5A 54 A1 A1	00 00 06 ED E3	00 00 00 00

图 10 接收到的解包数据

```
文件 编辑 查看
|=====
试验项目: 数据及帧计数校验
E:\20231026\A_LVDS_20231026_153001\A_LVDS_20231026_153001_Aurora1.dat
2023年10月26日 15:36:11 开始数据校验过程.....
出错位共计: 0位
首帧帧计数[H]: 1
末帧帧计数[H]: 3E7C0E1
共有数据帧个数[D]: 22347321
1. 帧计数[H]在: 1 ~ 7CC647 之间连续 长度为: 1.8886718868
2. 帧计数[H]在: 7CC647 ~ 158647B 之间不连续 长度为: 3.3232421968
3. 帧计数[H]在: 158647B ~ 1AC7FC0 之间连续 长度为: 1.2724689468
4. 帧计数[H]在: 1AC7FC0 ~ 28B14F8 之间不连续 长度为: 3.3232421968
5. 帧计数[H]在: 28B14F8 ~ 2DC2F43 之间连续 长度为: 1.2724689468
6. 帧计数[H]在: 2DC2F43 ~ 3B7C582 之间不连续 长度为: 3.3232421968
7. 帧计数[H]在: 3B7C582 ~ 3E7C0E1 之间连续 长度为: 0.725859468
出错率为: 0.000000e+000
2023年10月26日 15:37:39 数据校验过程结束.
```

图 11 递增校验结果

5.3 图像峰值信噪比

该设计对双边滤波算法的效果进行评估,选用峰值信噪比(PSNR)对比滤波前后降噪效果。通过修改卷积窗口的大小以及各像素点的行值、列值以及位宽,通过计算公式带入滤波前后的像素值及均方误差,得到滤波前后的峰值信噪比,即可得到降噪效果。将所得数据通过下列公式进行计算:

$$PSNR = 10 \times \log \left(\frac{(2^n - 1)^2}{MSE} \right) \quad (2)$$

$$MSE = \frac{1}{H \times W} \sum_{i=0}^{H-1} \sum_{j=0}^{W-1} \|I(i,j) - K(i,j)\|^2 \quad (3)$$

通过公式计算,将所得数据带入 Matlab 软件作数据拟合,得到滤波前后 PSNR 结果如表 3 所示。

表 3 滤波前后信噪比

容量	滤波前 PSNR/dB	滤波后 PSNR/dB
5 GB	31.592 1	36.481 6
10 GB	32.154 7	36.917 8
30 GB	31.954 5	37.124 9
256 GB	31.465 1	36.994 2

6 结论

该文设计了一种基于双边滤波的高速图像采集系统,该系统采用 HTG8518 芯片实现图像数据采集,在 FPGA 内部设计双边滤波算法,降低图像噪点,并软件设计数据采集和图像传输,最终将数据存储至 DDR3 芯片,通过 RS - 422 接口与千兆以太网实现与上位机的交互通信,进行实验验证。实验结果说明该系统数据传输速率高,传输结果稳定可靠,图像清晰度提高,无误码现象发生,满足当下主流图像采集系统要求,具有良好的通用性。

参考文献:

- [1] 郭佳欣. 基于 LVDS 的图像采集存储装置的设计与实现[D]. 太原:中北大学,2017.
- [2] 杨志文. 基于 SRI0 的数据记录装置的设计和实现[D]. 太原:中北大学,2019.
- [3] 沈淑秋. 基于万兆以太网的高速图像传输显示系统传输与实现[D]. 西安:西安电子科技大学,2019.
- [4] 林师远,李文慧,孙双花,等. 基于 FPGA 的高速动态测量数据采集系统[J]. 电子测量技术, 2023, 46(15): 32 - 37.
- [5] ZHENG Y, ZHAO J, TANG Y Q. Design of multi - channel data acquisition system based on FPGA [J]. International Journal of Frontiers in Engineering Technology, 2022, 4 (7): 26 - 29.
- [6] 刘跃成. 基于 FPGA 的高分辨率图像采集装置设计[D]. 太原:中北大学,2023.
- [7] 孟晨光,刘跃成,甄国涌. 机器视觉领域的 FPGA 非线性双边滤波系统设计[J]. 单片机与嵌入式系统应用, 2023(7): 57 - 61.
- [8] 颜子博,韩文波,翟旭华. 基于国产 FPGA 的视频采集系统设计[J]. 长春理工大学学报, 2023, 46(4): 99 - 106.
- [9] 芦夜召,张会新. 基于 FPGA 的多路数据同步采编存储系统设计[J]. 现代电子技术, 2021, 44(4): 13 - 16.

(下转第 78 页)

5 结论

该次研究的基于 MQTT 协议的采油井物联网采集端在国内油田数字化建设领域具有首创性和创新性。在硬件上开发了基于国产 GD32F103Z 为主控芯片的物联网采集终端,集成了 RS485 通信、联网、存储以及供电和程序下载模块。在 RT-Thread 实时嵌入式操作系统的基础上进行软件开发,按模块进行设计,实现数据采集、远程控制、参数配置等功能。同时,OTA 固件更新功能可对物联网设备进行远程软件升级,无需进行现场升级,从而降低设备维护成本。通过 1 年多的现场试验与实践表明,该终端具有以下特点:

(1) 采用国产高性能工业级 GD32F103ZET6,实现主控芯片国产化;

(2) 联网模式自由,可通过局域网、Wi-Fi、4G 等多种模式接入内网;

(3) 采用主动上报代替轮询问答模式,降低服务器负担,提高采集效率;

(4) 可通过 OTA 实现网络远程下发配置与固件升级。

参考文献:

[1] 栗克国,李志飞,倪文军,等. 基于 GD32F103 的多参数

码头安全监控终端设计[J]. 自动化与仪表,2018,33(05):61-64.

[2] 马后权,施华君. 实时操作系统 RT-Thread Smart 在 STM32MP1 上的移植[J]. 单片机与嵌入式系统应用,2021,21(8):14-18.

[3] 罗玉海,王椿曦,熊正烨. 基于鸿蒙系统和 OTA 技术的农业大棚测控系统[J]. 现代农业装备,2023,06:52-55.

[4] 吴征,喻支乾. 基于 Modbus 通讯协议变频器速度给定系统的改造及设计[J]. 山东化工,2020,49(11):157-161.

[5] 方舟. 油田数字化建设中物联网技术的应用[J]. 化工设计通讯,2021,47(06):11-12.

[6] 孙国宝,周继伟. 物联网技术在智能油气田井场数字化建设中的应用[J]. 信息系统工程,2021,10:16-18.

[7] 任燕芝,郑隼鹏,张勇,等. 基于 GD32F103 单片机非接触红外测温仪的设计[J]. 山西电子技术,2020,04:30-32.

[8] 石宝山. 基于物联网技术的油田数字化建设研究[J]. 中国化工贸易,2019,11(35):95.

[9] 赵慧娟. 物联网与嵌入式系统开发研究[J]. 电子技术与软件工程,2021(18):2.

[10] 杨栋翔. 用电信息采集终端的时间同步方法研究[D]. 重庆:重庆大学,2019.

(上接第 17 页)

[10] 高永锋,李艺江,孙林,等. 基于光电转换模块的光纤以太网通信设计[J]. 单片机与嵌入式系统应用,2022(3):23-26+45.

[11] 郭佳欣,单彦虎,任勇峰. 基于 CH378 的通用大容量数据记录器的设计与实现[J]. 电子器件,2016,39(6):1429-1434.

(上接第 28 页)

[5] 王付军,宋妮俐,杨长青. 基于 Modbus RTU 协议的 DeltaV 系统与西门子 S7-200 SMART PLC 串行通信[J]. 工业控制计算机,2023(8):38-39.

[6] 朱晓洁. 基于矿用监控分站的断线数据传输技术[J]. 煤矿安全,2023,54(12):227-232.

[7] 陈航,严帅,刘胜,等. 基于 RS485 总线的分布式高精度数据采集系统[J]. 仪表技术与传感器,2021(2):71-75.

[8] 陈熙,何璇. 基于 Modbus/TCP 协议的远程控制系统的设计与实现[J]. 创新引用,2022,39(7):84-86

[9] 肖宇,刘荆飞,瞿斌梅. 基于 MODBUS 通讯协议拓展装置新功能的设计[J]. 中国科技信息,2022(2):73-

[12] 叶东坤. 大容量存储在示波功率分析仪中的应用[D]. 成都:电子科技大学,2020.

[13] 洪方磊,薛萌,郭汉明. 基于 FPGA 的大数据缓存与高速传输系统设计[J]. 软件导刊,2023,22(8):156-163.

[14] 辛艳. 基于千兆以太网传输的多通道采集设备的设计[D]. 太原:中北大学,2023.

75.

[10] 张海龙,朱海龙,姜明远,等. 基于 Modbus 的多功能通信系统的设计与实现[J]. 汽车电器,2023(11):56-58.

[11] 史亚平. Modbus TCP/IP 协议的客户端与服务器实现[J]. 工业控制计算机,2023,36(2):54-56.

[12] 王银龙,樊旻,任远. DCS 远程监控软件在石化行业的应用[J]. 工业控制计算机,2023,36(11):73-77.

[13] 闫秀芳,王志国,高晓辉. PLC 基于 Modbus 通讯的控制系统研究[J]. 制造业自动化,2018(2):127-130.

[14] 王文波. 基于计算机通信技术的 DCS 控制系统在工业自动化中的应用[J]. 现代工业经济和信息化,2023(11):58-60.